

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **52-035582**  
(43)Date of publication of application : **18.03.1977**

---

(51)Int.CI. **H01L 29/08**  
**H01L 21/265**  
**H01L 29/36**

---

(21)Application number : **50-111211** (71)Applicant : **TOSHIBA CORP**  
(22)Date of filing : **13.09.1975** (72)Inventor : **SHIMIZU SHOICHI**  
**YAMADA HISASHI**

---

## (54) TRANSISTOR

### (57)Abstract:

PURPOSE: The impurity density peak is formed by ion injection, so that the base duration is made small as well as a transistor of high cut-off frequency can be obtained.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office



(4,000円)

特許願(3)

昭和 50.9月13日

特許庁長官 斎藤英雄殿

## 1. 発明の名称

トランジスター

## 2. 発明者

神奈川県川崎市幸区小向東芝町1番地  
 東京芝浦電気株式会社総合研究所内  
 清水庄一 (ほか1名)

## 3. 特許出願人

住所 神奈川県川崎市幸区堀川町72番地  
 名称 (307) 東京芝浦電気株式会社  
 代表者 玉置敬三



## 4. 代理人

住所 東京都港區芝西久保桜川町2番地 第17森ビル  
 〒105 電話 03(502)3181(大代表)  
 氏名 (5847) 弁理士 鈴江武彦 (ほか4名)

50 111211

⑯ 日本国特許庁

## 公開特許公報

⑪特開昭 52-35582

⑬公開日 昭52.(1977) 3.18

⑭特願昭 50-111211

⑮出願日 昭50.(1975)9.13

審査請求 未請求 (全7頁)

庁内整理番号

7514 57  
6513 57

⑫日本分類

9915E2  
9915H0⑬Int.CI<sup>2</sup>H01L 29/08  
H01L 21/265  
H01L 29/36

9は酸化膜(SiO<sub>2</sub>)である。このようなトランジスターのA-A'における不純物濃度プロファイルは図2のようになつてている。図のWがベース幅を示している。

ところで、このようなトランジスター構造は広く用いられてはいるが、未だ解決すべき問題点がいくつかある。即ち、①エピタキシャルウエハを用いるためコスト高になる。②ICの場合、P<sup>+</sup>型分離層を拡散する必要があり、ウエハ面積に占めるこの分離層の割合が大きく、高密度化が阻害される。③同じくICの場合、ベース層と同じP型拡散層を用いて抵抗を形成するが、高抵抗が作りにくい。④ベース層を拡散で形成するため、ベース幅の制御が難しい、等である。

この発明は上記した点に鑑みてなされたもので、製造工程が簡単で、かつ低コスト、高性能のトランジスターを提供しようとするものである。

即ち、この発明はブレーナ構造を有するトランジスターにおいて、ベース層をイオン注入法により基板表面上に不純物濃度のピークを

## 明細書

## 1. 発明の名称

トランジスター

## 2. 特許請求の範囲

ブレーナ構造を有し、ベース層をイオン注入法により基板表面より内部に不純物濃度のピークを持つように形成してなることを特徴とするトランジスター。

## 3. 発明の詳細を説明

この発明はブレーナ構造を有するトランジスターに関するものである。

従来のモノリシックICにおけるトランジスターは一般にn-p-n型であつて、オ1凹のようを溝状になつてゐる。1はP型Si基板、2はn<sup>+</sup>型埋込み層、3はn型コレクタ層(エピタキシャル成長層)、4はP型ベース層(拡散層)、5はn<sup>+</sup>型エミッタ層(拡散層)、6はP<sup>+</sup>型分離層(拡散層)、7はエミッタ層5と同時に作られるコンタクト用のn<sup>+</sup>層、8a・8b・8cはそれぞれエミッタ、ベース、コレクタ電極、

持つように形成してなることを特徴とする。  
オ 8 図はこの発明を n-p-n トランジスタに適用した場合の一例の構造を示すものである。11 は P 型 SI 基板であつて、これに n 型コレクタ層 12 を不純物拡散により形成している。13 は P<sup>+</sup> 型ベース取出し層であつてエミッタ領域を取り囲んで明確をなすように表面からの不純物拡散により形成されており、14 は表面から約 1 ムのところに不純物濃度のピークを持つようイオン注入法により作られた P 型ベース層、15 は不純物拡散またはイオン注入法による浅い n<sup>+</sup> 型エミッタ層である。また、16a, 16b, 16c はそれぞれエミッタ電極、ベース電極、コレクタ電極であり、17 は酸化膜である。

このトランジスタの B-B'における不純物濃度プロファイルはオ 8 図のようになつてある。オ 2 図と対比して明らかをように、P 型ベース層 14 の不純物濃度が基板表面より内部にピーク値を有していることが特徴である。先に説明したように、コレクタ層としてエピタキシャル

成長層を利用する場合には、その不純物濃度分布は基板表面から内部までは均一にできる。従つて、そのコレクタ層に不純物拡散を行つて反応層を形成してベース層を得、更にそのベース層に別の不純物拡散を行つて反応層を形成してエミッタ層を得ることは比較的容易である。ところが、コレクタ層を不純物拡散により形成すると、オ 8 図示のようにその表面の不純物濃度はエピタキシャル成長層の場合に比べては桁程度高くなる。そのため、浅いでベース層、エミッタ層を不純物拡散により形成しようとしても、エミッタ層としての反応層を得ることが難しくなる。

この発明では、ベース層はイオン注入法により内部に不純物濃度のピークを持つように形成するので、その表面不純物濃度が高くならず、従つてエミッタ反応層を容易に得ることができます。即ち、コレクタ層としてエピタキシャル成長層を用いる必要がなく、通常の不純物拡散層を用いることができる所以、コスト低下につな

がる。また、このトランジスタ構造を IC に適用すれば、コレクタ形成工程が電子分離工程を経ねることになり、オ 1 図のようを特別な分離層を設ける必要がなくなり、高集積化が実現できる。同様に、IC に適用した場合、ベース層と同一工程で内部に不純物濃度ピークを持つ層を形成して抵抗として利用すれば、従来の IC における拡散抵抗に比べて高抵抗値のものを容易に得ることが可能となる。更に、オ 1 図で W がベース幅となるが、これはオ 2 図に示したようなベース層を不純物拡散により形成した場合のベース幅 W に比べて十分小さく制御することができ、遮断周波数の高いトランジスタが得られる。

オ 8 図の構造のトランジスタについて、その具体的な製造工程をオ 5 図(a)～(d)により説明する。まず、P 型 SI 基板 11 に熱酸化による酸化膜 17<sub>1</sub> を被覆し、トランジスタ形成領域に穴あけを行い(h)、リン拡散を行つて深さ 2 ～ 8 ム、表面濃度約 10<sup>19</sup>/cm<sup>3</sup> の n 型コレクタ層 12 を形

成する(b)。浅いで、CVD 法により酸化膜 17<sub>2</sub> をつけ、エミッタ形成領域を取り囲むように穴あけを行ひ(e)、ボロンを拡散して表面濃度約 10<sup>19</sup>/cm<sup>3</sup> の P<sup>+</sup> 型ベース取出し層 13 を形成する(d)。次に再度 CVD 法により酸化膜 17<sub>3</sub> をつけ、エミッタ形成領域に穴あけを行つて、まずボロンをイオン注入法により打込んで表面から約 1 ムのところに濃度ピークを持つような P 型ベース層 14 を形成し(h)、浅いでリン拡散により表面濃度約 10<sup>20</sup>/cm<sup>3</sup> の n<sup>+</sup> 型エミッタ層 15 を形成する(f)。そして最後に、CVD 法による酸化膜 17<sub>4</sub> をつけ、コンタクト穴あけを行い、アルミニウムを蒸着、バーニングして、エミッタ電極 16a、ベース電極 16b、コレクタ電極 16c を形成して完成する(g)。

なお、この発明は上記実施例に限られるものではなく、和々変形、応用して有用である。例えば、n-P-n トランジスタと p-n-p トランジスタを兼ねた例をオ 6 図(a)～(e)により説明する。まず、n 型 SI 基板 21 を用い、所定領域に P<sup>+</sup>

埋込み層22を設けてP型エピタキシャル成長層23を形成したウエハを作り(a)、これに不純物拡散を行つてn<sup>+</sup>型分離層24を形成して、互いに分離されたP型エピタキシャル成長層23a, 23b…を得る(b)。そして、一方のエピタキシャル成長層23aには、これをコレクタ層として、n型ベース層25、p<sup>+</sup>型エミッタ層26を順次不純物拡散により形成してpnpトランジスタを作る。また他方のエピタキシャル成長層23bには、上記実施例と同様に、n型コレクタ層27、p<sup>+</sup>型ベース取出し層28を順次不純物拡散により形成し、更に、イオン注入法によるP型ベース層29、不純物拡散によるn<sup>+</sup>型エミッタ層30を順次形成して、npnトランジスタを作り(c)。なお、pnpトランジスタ側のベース層25、エミッタ層26はそれぞれnpnトランジスタ側のコレクタ層27、ベース取出し層28と同一工程を用いることができる。

従来のモノリシックICでnpnトランジスタ

特許第32-35582(3)とpnpトランジスタを作る場合、通常はpnpトランジスタをラテラル構造としていた。これは、製造工程が単純であるという理由の他に、前述したようにコレクタ、ベース、エミッタ層を全て不純物拡散で行おうとすると、エミッタ反転層が簡単に作れないという制限があることも理由となっていた。そして、ラテラル構造を用いるため高速動作ができないという欠点があつた。これに対し、ベース層をイオン注入法で形成すれば、オ6図(a)のように、npnトランジスタ、pnpトランジスタと共に深型構造とすることが容易で、高速動作が可能なものが得られる。

オ7図は、I<sup>2</sup>L(Integrated Injection Logic)と他の素子を同一チップに集積した例である。I<sup>2</sup>Lは伝播遅延時間が非常に短いロジックとして最近注目されているもので、その等価回路はオ8図に示すように、npnトランジスタとpnpトランジスタの組合せからなる。オ7図では、p型SI基板31を用い、I<sup>2</sup>Lとnpnトランジスタを、8回の拡散工程、即ちエニメーション32a,

32bの拡散、p<sup>+</sup>層32a, 33b, 33cの拡散およびn<sup>+</sup>層34a, 34b, 34cの拡散と、p層35a, 35b, 35cのイオン注入工程により構成した例を示している。この構成ではやはりpLとnpnトランジスタを分離するための分離層を拡散形成する必要がなく、高集成化が可能であり、またマスク工程も従来より少なくて済む。

オ9図はこの発明をLEC(Low Emitter Control)トランジスタに適用した例である。LECトランジスタはエミッタ層のベース層に隣接する部分を低不純物濃度とすることにより遮断周波数を高く又、低雑音化をはかつたもので、これはエピタキシャルウエハを用いてベース層をイオン注入法により形成し、内部に濃度ピークを持たせることにより、容易に作ることが可能となる。即ち、n<sup>+</sup>型SI基板31にn型層42をエピタキシャル成長させたウエハを用い、これにp<sup>+</sup>型ベース取出し層43を拡散形成し、P型ベース層44をイオン注入法により形成し、

n<sup>+</sup>型エミッタ層45を拡散形成することにより得られる。オ10図はオ9図のC-C'ICにおける不純物濃度プロファイルであり、ベース層44をイオン注入で形成しているため、エミッタ領域のベース層44に隣接する部分にコレクタ層42と等しい低不純物濃度領域が得られることがわかる。

なお、エピタキシャルウエハを用いず、コレクタ層を不純物拡散により形成し、またベース取出し層として高不純物濃度層を設けると、コレクター基板間およびベース-コレクタ間の耐圧が従来のものに比べて低下する。しかし、これは例えばオ11図に示すように各接合部に裏面からエッチングして溝をつけることにより容易に防止される。

その他、この発明はその趣旨を逸脱しない範囲で種々変形実施できることはいうまでもない。  
4. 四面の簡単な説明

オ1図は従来のエピタキシャルブレーナ型npnトランジスタの構造を示す図、オ2図はそ

の△-A'における不純物濃度プロファイルを示す図、オ9図はこの発明の一実施例のn-p-nトランジスタの構造を示す図、オ10図はそのB-B'における不純物濃度プロファイルを示す図、オ5図(a)～(d)は同じくその製造工程を説明するための図、オ6図(a)～(e)はこの発明の他の実施例でn-p-nトランジスタとp-n-pトランジスタを集積した例を説明するための図、オ7図はこの発明の更に他の実施例でI<sup>2</sup>Lとn-p-nトランジスタを集積した構造を示す図、オ8図はI<sup>2</sup>Lの導体回路図、オ11図はこの発明をLECトランジスタに適用した実施例を示す図、オ12図はオ9図のC-C'における不純物濃度プロファイルを示す図、オ13図はこの発明に係るトランジスタの耐圧向上を図つた例を示す図である。

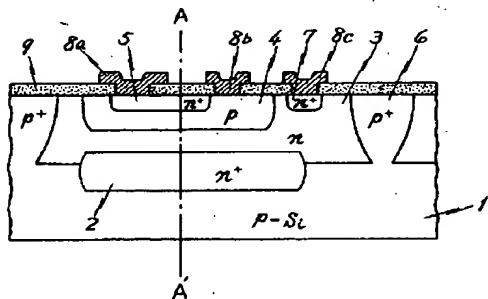
- 11 … P型Si基板      12 … n型コレクタ層
- 13 … p<sup>+</sup>型ベース取出し層
- 14 … P型ベース層
- 15 … n<sup>+</sup>型エミッタ層
- 16a … エミッタ遮蔽      16b … ベース電極

16c … コレクタ電極

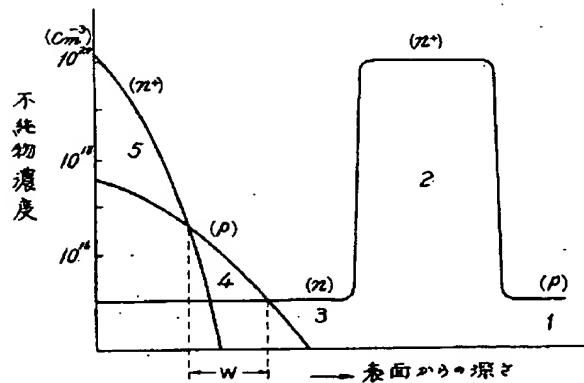
17 … 酸化膜

出願人代理人弁理士鈴江武彦

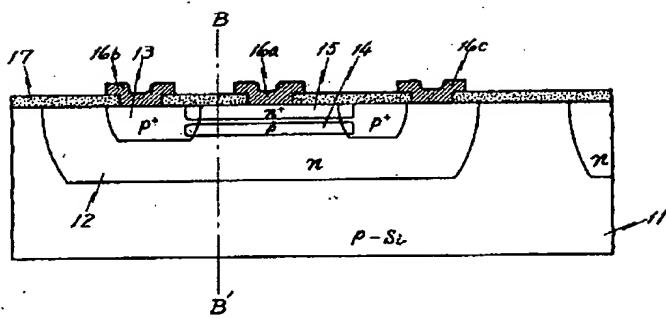
オ1図



オ2図



オ3図



オ4図

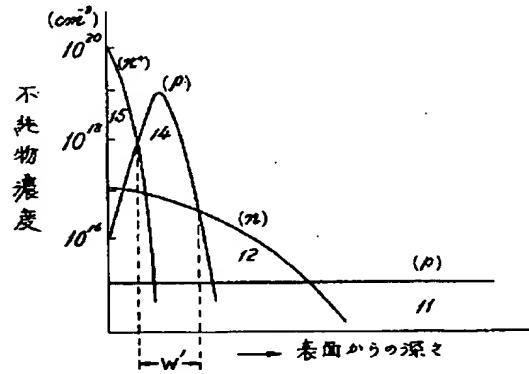


図 5 図

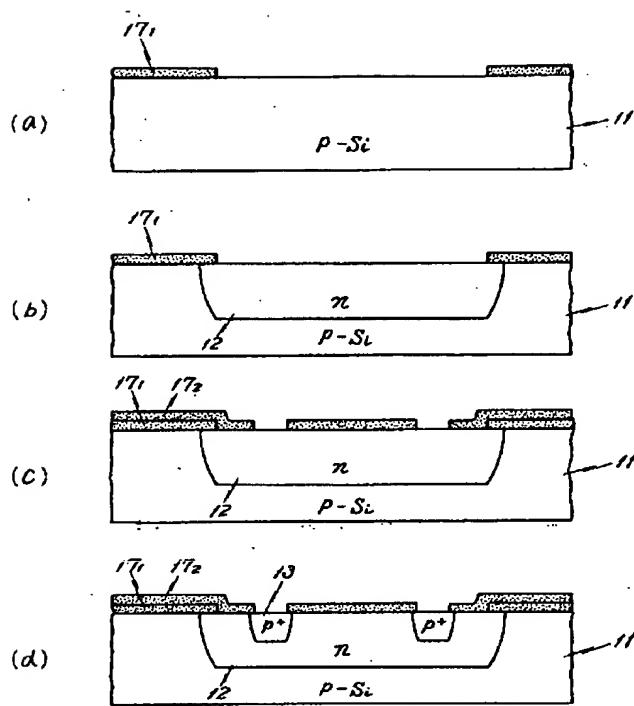


図 5 図

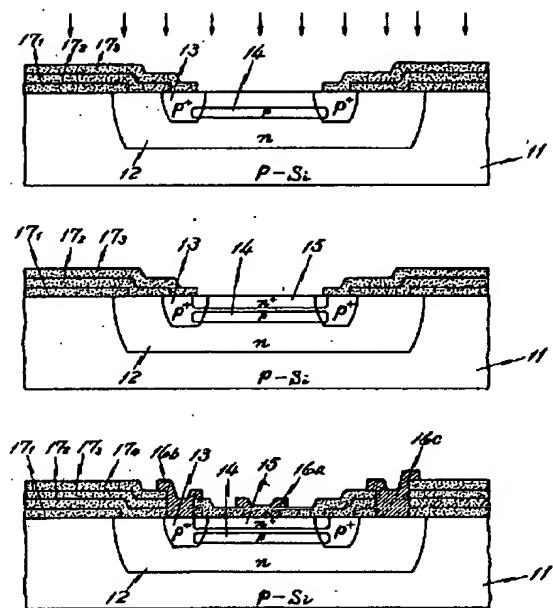


図 6 図

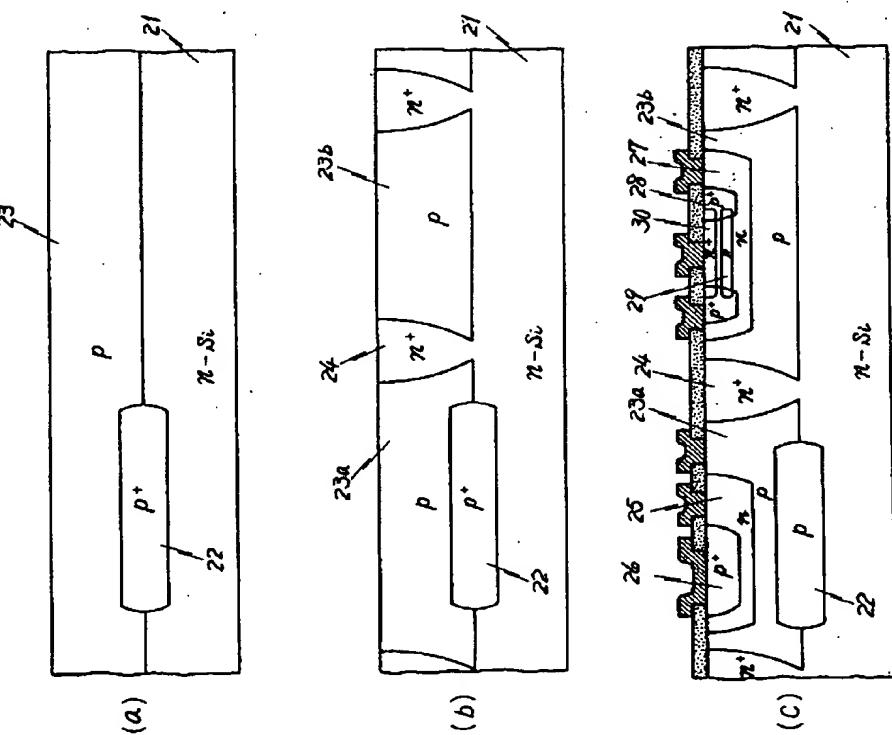


図 7

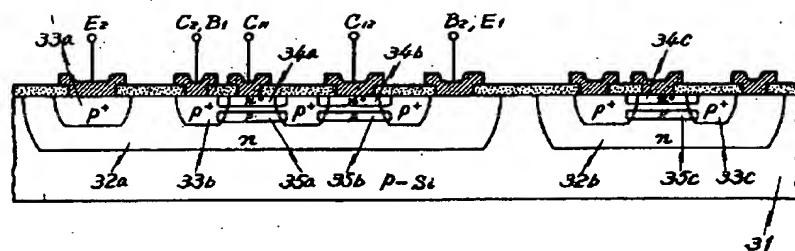


図 8

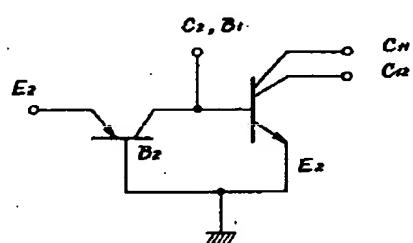


図 9

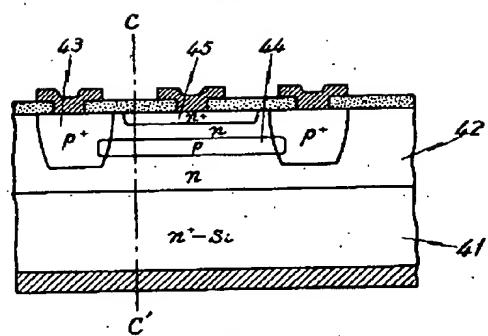


図 11

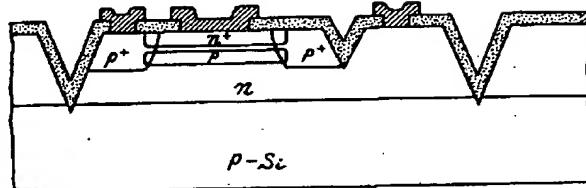
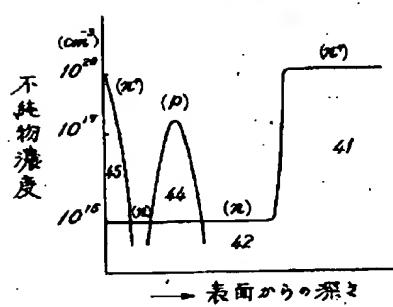


図 10



## 5. 添付書類の目録

- |         |                                  |
|---------|----------------------------------|
| (1) 委任状 | 1通 同時提出中の特許願(1)に<br>添付の委任状を適用する。 |
| (2) 明細書 | 1通                               |
| (3) 図面  | 1通                               |
| (4) 願副本 | 1通                               |

## 6. 前記以外の発明者、特許出願人または代理人

## (1) 発明者

神奈川県川崎市幸区小向東芝町1番地  
東京芝浦電気株式会社総合研究所内  
山田尚志

## (2) 代理人

- |                           |                     |
|---------------------------|---------------------|
| 住所 東京都港区芝西久保桜川町2番地 第17森ビル | 氏名 (5743) 弁理士 三木 武雄 |
| 住所 同 所                    | 氏名 (6694) 弁理士 小宮 幸  |
| 住所 同 所                    | 氏名 (6881) 弁理士 坪井 達  |
| 住所 同 所                    | 氏名 (7043) 弁理士 河井 将次 |